

2018年7月26日(木)
14:00~14:25

③

分散リアルタイム処理用 RMT Processor・SoC・SiP・OS

慶應義塾大学
理工学部 情報工学科

教授 山崎 信行

■ 新技術の概要

超高精度・低消費電力・デペンダブルなリアルタイム処理用プロセッサ、リアルタイムネットワーク、メモリ、各種制御用 I/O を全て集積したシステム LSI (SoC)、超小型基板 (SiP) 及び RT-OS

■ 従来技術・競合技術との比較

理論通りに周期やデッドライン等の時間制約を必ず守ることの可能なリアルタイム処理用 CPU とリアルタイムネットワークは他にはない。それらに加え、メモリや周辺 I/O 等を全て集積した分散制御用システム LSI は他にはない。

■ 新技術の特徴

- リアルタイムスケジューリング理論通りに動作するリアルタイム処理用マルチスレッドプロセッサ (RMT Processor)
- 環境に応じて動的にエラー訂正能力を制御可能なリアルタイムネットワーク (Responsive Link)
- 分散制御に必要な機能 (RT-CPU、RT-Network、Memory、各種 I/O) を全て集積した SoC/SiP

■ 想定される用途

- ロボット等の分散制御・自律制御
- 自動車の分散制御・高機能化・自動運転への応用
- IoT 機器



 Keio University
 1858
 CALAMUS GLADIO FORTIOR

分散リアルタイム処理用 RMT Processor・SoC・SiP・OS

慶應義塾大学 理工学部 情報工学科 教授
 山崎 信行 (Nobuyuki Yamasaki)

yamasaki@ny.ics.keio.ac.jp
 http://www.ny.ics.keio.ac.jp/







 Keio University
 1858
 CALAMUS GLADIO FORTIOR

研究開発概要

ターゲット: 組み込み分散リアルタイムシステム
 例: ロボット、宇宙機、自動車、IoT機器等

- × マイクロプロセッサ(CPU)
- × リアルタイムネットワーク
- × 超小型省電力システムLSI: システムオンチップ (SoC)
- × 超小型制御基板: システムインパッケージ (SiP)
- × リアルタイムオペレーティングシステム

キーワード: 組み込み、リアルタイム、ディペンダブル






 Keio University
 1858
 CALAMUS GLADIO FORTIOR

組み込みリアルタイムシステム向け プロセッサ及びOS

- × マイクロプロセッサ (CPU)
- × Cortex (ARM)
 - × Atom (Intel)
 - × SH (Renesas)
 - × RMTP (Yamasaki, Keio)
- × オペレーティングシステム
 - × Linux, Android (Google)
 - × Windows (Microsoft)
 - × VxWorks (WindRiver)
 - × iTRON
 - × favor (Yamasaki, Keio)





 Keio University
 1858
 CALAMUS GLADIO FORTIOR

次世代の組み込みシステム



- × ヒューマノイドロボット
 - × リアルタイム性
 - × 応答性
 - × 処理能力
 - × 消費電力


汎用CPU(Intel x86)や
Windows/Linuxでは実現が困難

新しいCPUや
OSの研究開発
が必要

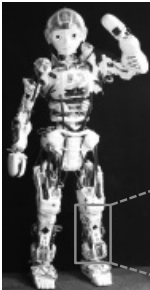
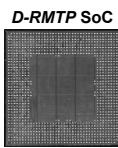
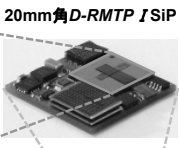
Online Decision of Foot Placement
using Singular LQ Preview Regulation


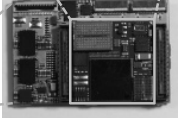
HRP3L-JSK
 (JSK, Tokyo Univ.)




 Keio University
 1858
 CALAMUS GLADIO FORTIOR


例: ヒューマノイドの分散制御



ヒューマノイド 小次郎
(東大JSK)
脚モジュール
(3D CAD)
20mm D-RMTP I SiP
分散制御基板


 Keio University
 1858
 CALAMUS GLADIO FORTIOR

リアルタイム・スケジューリング

- × リアルタイム処理は基本的にRT-OSのスケジューラによって制御
 - × EDF (Earliest Deadline First)
 - × RM (Rate Monotonic)
 - × ...

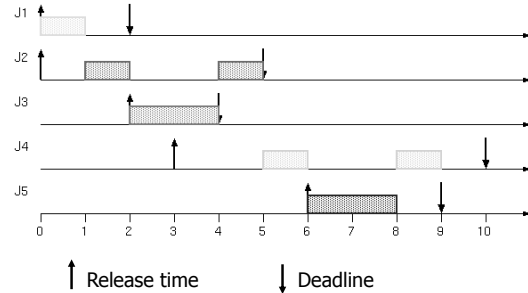


Earliest Deadline First (EDF)

- ✕ Deadlineを優先度として使用
 - ✕ Earlier the deadline, higher the priority
- ✕ 優先度は動的に変化
- ✕ 最適スケジューリング法
 - ✕ 最大プロセッサ利用率 U
 - $U = 1$
- ✕ Domino Effect



EDFスケジューリングの例



リアルタイムシステムの設計ポリシー

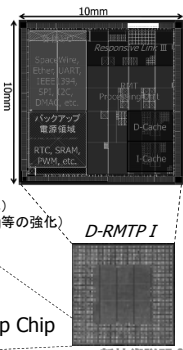
- ✕ リアルタイム処理/通信はリアルタイムスケジューリングアルゴリズムにより時間制約(デッドライン、周期等)を優先度に変換
- ✕ 処理や通信を行うハードウェア/ソフトウェアはプリエンティブである必要
 - ✕ 処理: コンテキストスイッチ
 - ✕ 通信: パケット追越し
- ✕ プリエンティブのオーバーヘッドを0に近づければ近づけるほど理論通りに動作



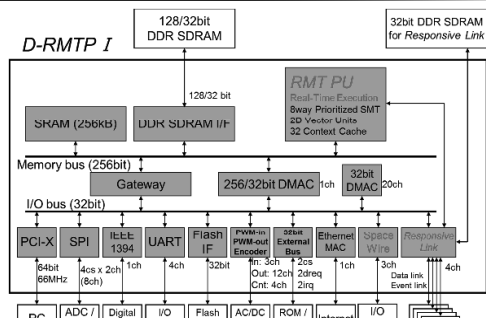
D-RMTP I (Dependable Responsive Multithreaded Processor I)

分散制御に必要な全機能を集積したSoC

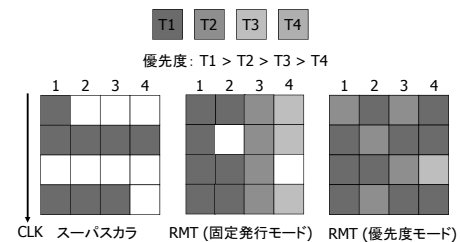
- ✕ リアルタイム実行機構 (RMT実行)
 - ✕ コンテキストスイッチの除去 (優先度付SMT実行に変換)
 - ✕ 優先度順に8スレッド同時実行
 - ✕ 優先度(256レベル)によるスレッド制御機構
 - ✕ 割り込みによるスレッド制御機構
 - ✕ IPC制御機構
- ✕ マルチメディア演算ユニット
 - ✕ 柔軟な2次元ベクトル(行列)演算ユニット(Int, FP)
 - ✕ コンテキストキャッシュ (32コンテキスト)
 - ✕ トレース機構
- ✕ リアルタイム通信機構: Responsive Link
 - ✕ 通信のプリエンティブ (優先度によるパケットの追い越し)
 - ✕ 複数の符号化の組み合わせ (エラー訂正, DC balancing等の強化)
 - ✕ 4b10b(ラインコード)のみでエラー訂正まで可能に
 - ✕ ISO/IEC 24740:2008
- ✕ コンピュータ用I/O
 - ✕ PCI, Ethernet, etc.
 - ✕ 内蔵SRAM, DRAM I/F, etc.
- ✕ 制御用I/O
 - ✕ SpaceWire (3-ch switch)
 - ✕ PWM Generator, etc.



D-RMTP I SoCのブロック図



ハードウェアによるリアルタイム実行機構

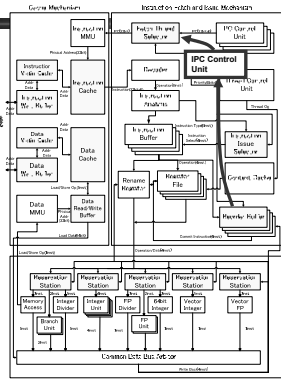




RMT PUのプロセッサアーキテクチャ

リアルタイム処理

- × RMT Architecture: 優先度付SMT (Simultaneous Multithreading)
 - ※ 複数スレッドを優先度順に同時実行
 - ※ リソースの優先度制御 (右図の黄色の機能ブロック)
 - ※ コンテキストスイッチをRMT実行に変換
- × 割り込みによるスレッド制御
- × コンテキストキャッシュ
- × IPC制御機構 (スレッドの実行速度制御)
- × 2次元ベクトル演算機構
 - ※ リアルタイム動画画像処理向け
- × トレース機構
- × RT-DVFS (リアルタイム動的電圧周波数制御)



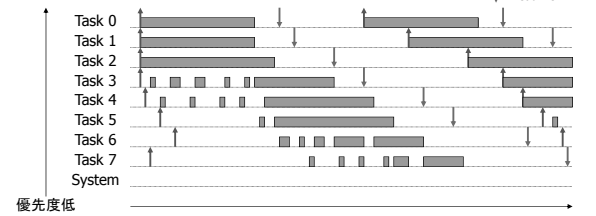
YAMASAKI Lab.

新技術説明会



リアルタイム実行 (RMT実行)

- × 複数の優先度付きコンテキスト
- × 複数のパイプラインと演算器で優先度順に同時実行
- × ハードウェアコンテキストをOSのタスクキューとみなす



リアルタイム処理と高スループットの両立

YAMASAKI Lab.

新技術説明会



割り込み制御ユニット

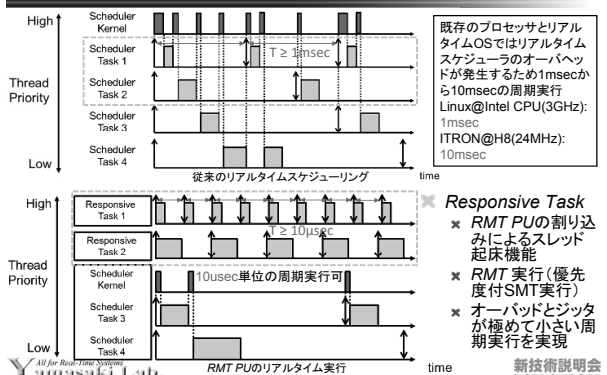
- × IRL (Interrupt Level) を各スレッドに割り当て
 - ※ 特定のスレッドのみ割り込みハンドラが起動
 - ※ IRL: 32レベル
- × 割り込みによるスレッド起床
 - ※ 割り込み要因
 - ※ ハードウェアコンテキスト毎(計8セット)のプロセッサカウンタ
 - ※ 内蔵タイマ(I/O)
 - ※ 各種I/O割り込み
 - ※ イベントに対するレスポンス時間の短縮
 - ※ 1クロック後にその割り込みに対応するスレッドが起床
 - ※ イベントドリブンプログラミング可能

YAMASAKI Lab.

新技術説明会



RMT PUの超高精度リアルタイム実行 Responsive Task



YAMASAKI Lab.

新技術説明会



コンテキストキャッシュ

- × 32スレッド分のコンテキストを格納
- × レジスタファイルと広帯域バスで接続
 - GPR: 256bit, FPR: 128bit
- × コンテキストスイッチ用命令
 - 退避、復帰、入れ替え命令
- × ハードウェアにより4クロックでコンテキストスイッチ可能

YAMASAKI Lab.

新技術説明会



実行速度を一定にするIPC制御機構

- × PID計算により1周期あたりにフェッチ可能な命令数を算出
 - target: 目標IPC
 - input: コミット数
 - output: フェッチの上限値

PID計算

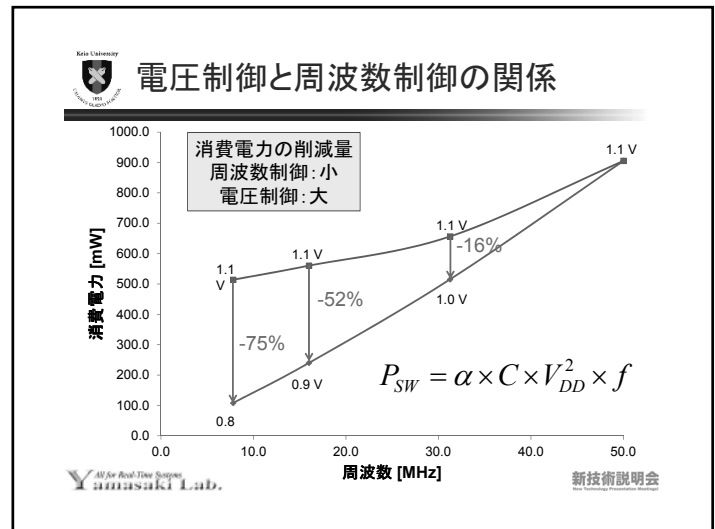
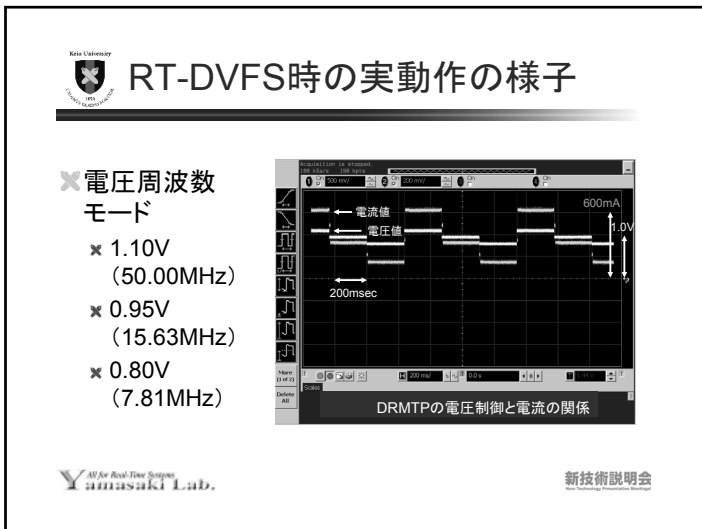
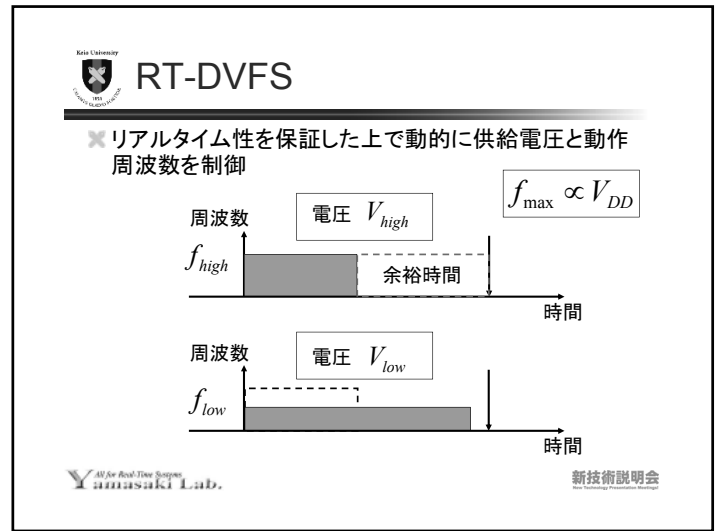
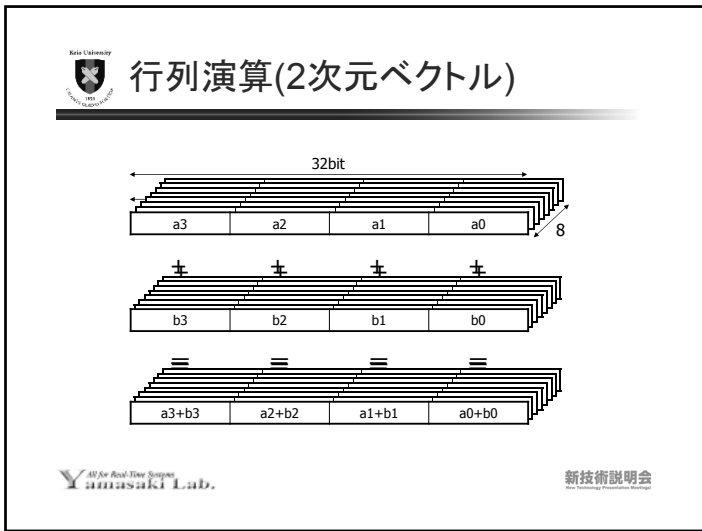
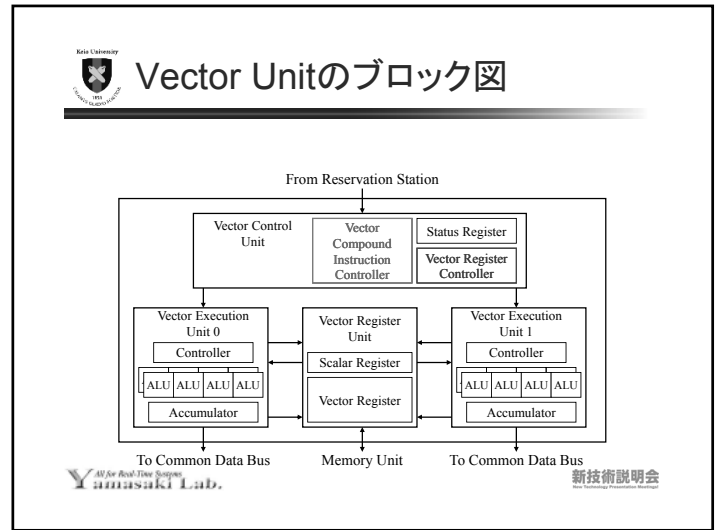
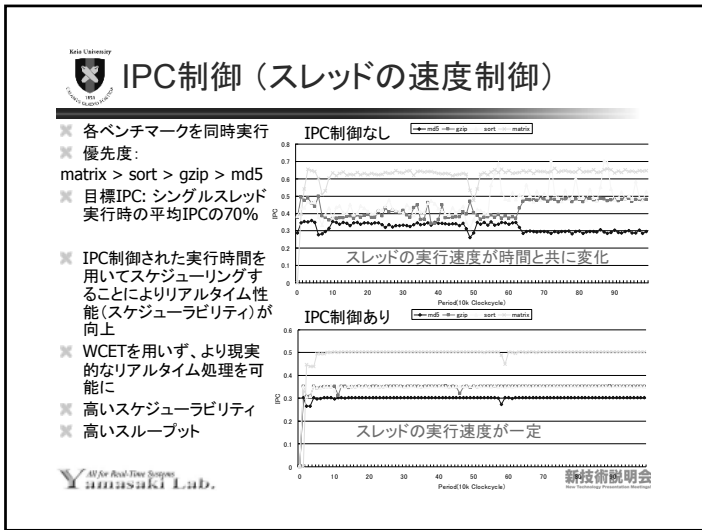
$$\text{output} = K_P e(t) + K_I \int_0^t e(\tau) d\tau + K_D \frac{d}{dt} e(t)$$

$$e(t) = \text{target} - \text{input}$$

- × コミット数がフェッチの上限値を超えた場合にはスレッドの命令フェッチを次の制御周期まで停止

YAMASAKI Lab.

新技術説明会





チップ間ネットワーク: Responsive Link

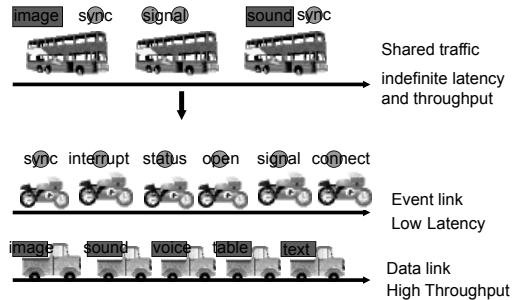
- ✕ 追越機能付ネットワークスイッチ (高い優先度のパケットがノード毎に低い優先度のパケットを追越)(通信におけるプリエンブションを世界で初めて実現)
- ✕ 優先度の付け替え (パケットの優先度はノード毎に新優先度に付け替え可能)
- ✕ データとイベントの分離・独立したルーティング
- ✕ 同じネットワークアドレスを持つパケットの経路を優先度によって別々に設定及び変更可能(専用回線や迂回路の実現)
- ✕ 前方エラー訂正(FEC)
- ✕ リンク速度可変: 800~12.5 [Mbps/link]
- ✕ トポロジーフリーなPoint-to-point通信
- ✕ 標準化: ISO/IEC 24740:2008, IEC TR 63094:2017

YAMASAKI Lab.

新技術説明会



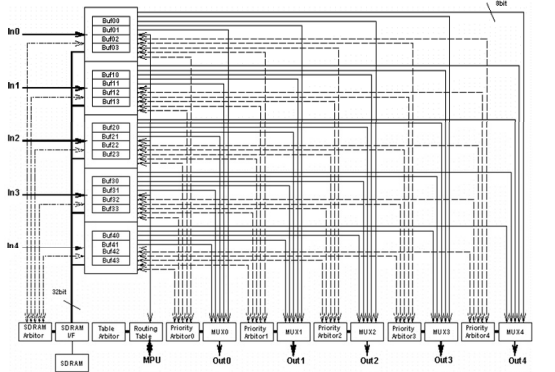
イベントとデータの分離



YAMASAKI Lab.

新技術説明会

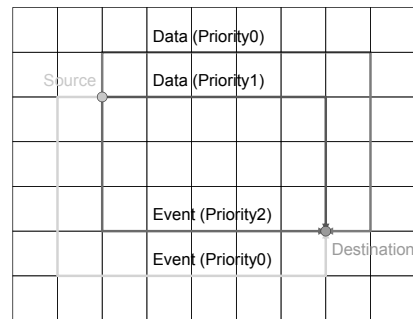
追越機能付ネットワークスイッチ



新技術説明会



優先度に応じたルーティング



YAMASAKI Lab.

新技術説明会



Responsive Linkのディペンダビリティ向上 -複数の符号化の組み合わせ-

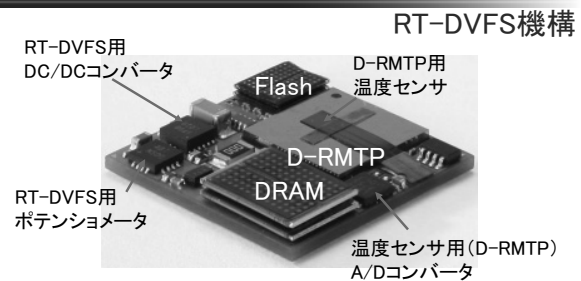
- ✕ Error correction code
 - ✕ バイト(ブロック)訂正
 - ✕ RS (1byteエラー訂正) (4B, 6B)
 - ✕ None
 - ✕ ビット訂正
 - ✕ Hamming (1bitエラー訂正) (8, 12)
 - ✕ BCH (2bitエラー訂正) (8, 16)
 - ✕ None
- ✕ Line code
 - ✕ Bit staffing + NRZI (dynamic, clock embedded, DC balancing)
 - ✕ 8b/10b (static, clock embedded, DC balancing)
 - ✕ 4b/10b (static, clock embedded, DC balancing, 1bitエラー訂正) IEC TR 63094

YAMASAKI Lab.

新技術説明会



20mm角D-RMTP I SiP



PCのほぼすべての機能+組み込みマイコン+リアルタイム処理機能+リアルタイム通信機能を20mm角に集積

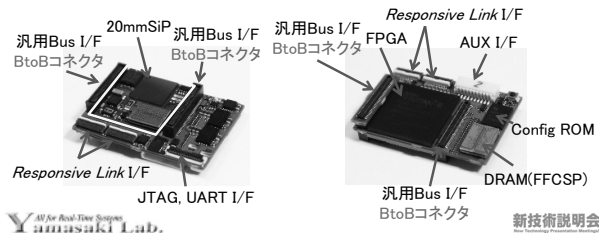
YAMASAKI Lab.

新技術説明会



20mm角D-RMTP I SiP制御基板

- 20mm角D-RMTP I SiP制御基板の研究開発
 - I/O Core SiPとほぼ同サイズで、D-RMTP IとResponsive Linkのロボットへの組み込みを実現
 - I/O Core SiPやアナログI/F基板と組み合わせた機能拡張が可能
 - スタック可能なBtoBコネクタで各種基板を多段接続

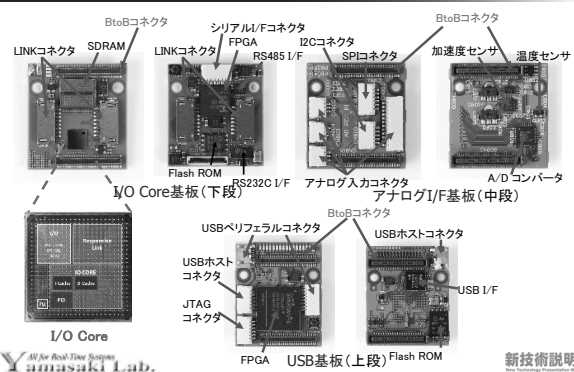


Y At For Real-Time Systems
Yamasaki Lab.

新技術説明会



BtoBコネクタ付き各種制御基板

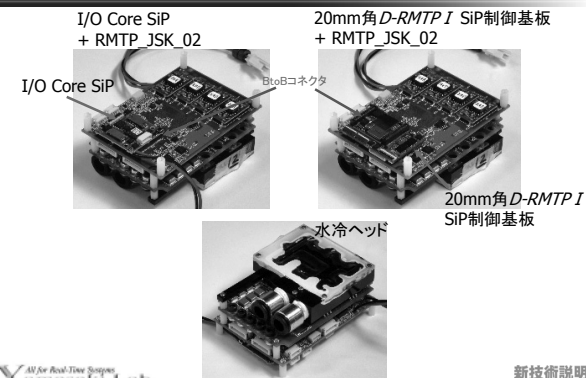


Y At For Real-Time Systems
Yamasaki Lab.

新技術説明会



大出力モータ制御基板 RMTP_JSK_02



Y At For Real-Time Systems
Yamasaki Lab.

新技術説明会



ソフトウェア開発環境

- オペレーティングシステム
 - 独自RT-OS: favor OS
 - iTRON
 - Linux
- 開発言語
 - C, C++, アセンブリ言語
- シミュレータ
 - ILS (Instruction Level Simulator)
 - 高速
 - 低機能
 - CLS (Cycle Level Simulator)
 - 低速
 - 高機能
- Webによる開発サポート
 - <http://www.ny.ics.keio.ac.jp/research/rmt/>
 - マニュアル
 - 回路図
 - スキーマティック
 - PCB
 - クロス開発環境
 - Source
 - Startup routine等
 - Binary: Linux用

Y At For Real-Time Systems
Yamasaki Lab.

新技術説明会

分散制御用SoC/SiP: Responsive Multithreaded Processor (RMTP)



Y At For Real-Time Systems
Yamasaki Lab.

新技術説明会



提供可能な各種技術

- リアルタイム処理用プロセッサ
 - RMTP PU IP
 - IPC制御: スレッド(プログラム)の実行速度制御
- RMTP SoC
- RMTP II SoC
- I/O Core SoC
- RMTP SiP (20mm角, 30mm角) I/O Core SiP
- 分散リアルタイム処理用通信リンク (ISO/IEC 24740)
 - Responsive Link IP
 - Responsive Link 搭載チップ (D-RMTP, I/O Core)
 - エラー訂正機能付きラインコード 4b/10b (IEC TR 63094)
- RT-DVFS (リアルタイム動的電圧周波数制御)
- リアルタイムスケジューラ
- NoCアーキテクチャ
 - NoCコンパイラ
 - RT-NoCアーキテクチャ
- 3次元実装方式
- 各種分散制御用コントローラ

20mm角RMTP SiP

RMTP II
30mm角RMTP SiP
RMTP 評価キット
新技術説明会



本技術に関する知的財産権

- × 発明の名称:
デジタル通信の伝送路符号の送受信装置、デジタル通信の伝送路符号の送受信方法、及びこの送受信装置又は送受信方法に用いる符号の生成方法
- × 出願番号: 特願2012-014181
- × 登録番号: 特許第5900850号
- × 出願人 : 慶應義塾
- × 発明者 : 山崎 信行

AI for Real-Time Systems
Yamasaki Lab.

新技術説明会



本技術に関する知的財産権

- × 発明の名称:
マルチスレッド中央演算装置および同時マルチスレッディング制御方法
- × 出願番号: 特願2007-519071
- × 登録番号: 特許第5145936号
- × 出願人 : 慶應義塾
- × 発明者 : 山崎 信行

AI for Real-Time Systems
Yamasaki Lab.

新技術説明会



本技術に関する知的財産権

- × 発明の名称:
命令発行方法及び装置、中央演算装置、命令発行プログラム及びそれを記憶したコンピュータ読み取り可能な記憶媒体
- × 出願番号: 特願2003-083001
- × 登録番号: 特許第3646137号
- × 出願人 : 慶應義塾、独立行政法人科学技術振興機構
- × 発明者 : 山崎 信行

AI for Real-Time Systems
Yamasaki Lab.

新技術説明会



お問い合わせ先

慶應義塾大学 研究連携推進本部

URL : <https://wwwdc01.adst.keio.ac.jp/kj/rcp/contact/index.html>

TEL : 03-5427-1439

FAX : 03-5440-0558

E-MAIL: toiawasesaki-ipc@adst.keio.ac.jp

AI for Real-Time Systems
Yamasaki Lab.

新技術説明会